

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-173824
 (43)Date of publication of application : 23.06.2000

(51)Int.CI. H01F 17/00
 H01F 27/28
 H01F 27/32
 H01F 37/00

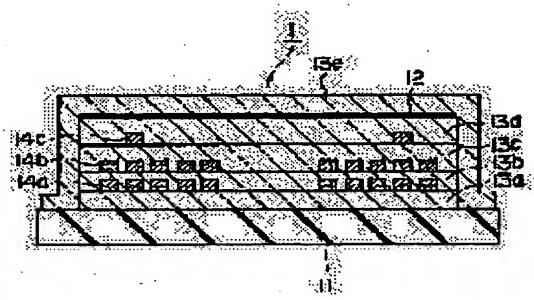
(21)Application number : 10-343407 (71)Applicant : TOKIN CORP
 (22)Date of filing : 02.12.1998 (72)Inventor : KIMURA KAZUYA

(54) ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic component, which is highly reliable and can be provided with wide-band attenuation characteristics without providing a special circuit constitution or the like in the case where the component is used as a common mode choke coil, for example.

SOLUTION: An electronic component 1 is obtained by a method wherein conductor patterns 14a, 14b and 14c and insulating resin layers 13b, 13c and 13d are alternately laminated on an insulating resin layer 13a formed on a ceramic board 11, a magnetic material layer 12 is formed on this laminated material and moreover, an insulating resin layer 13b and a conductor pattern (is not shown in the Fig.) are laminated on the layer 12. The interference of a circuit current, which is made to flow through the patterns 14a, 14b and 14c in the internal part of the component 1, and an external magnetic field is prevented by the layer 12, which is provided with a ferromagnetism and consists of a Co-Zn-Nb layer, and in the case where the component 1 is used as a common mode choke coil, for example, the reflection of noise is never generated and wide-band attenuation characteristics are obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-173824

(P2000-173824A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.

H 01 F 17/00
27/28
27/32
37/00

識別記号

F I

H 01 F 17/00
27/28
27/32
37/00

テマコト(参考)

B 5 E 0 4 3
K 5 E 0 4 4
Z 5 E 0 7 0
D
F

審査請求 未請求 請求項の数10 O L (全 10 頁) 最終頁に続く

(21)出願番号

特願平10-343407

(22)出願日

平成10年12月2日(1998.12.2)

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72)発明者

木村 一弥

仙台市太白区郡山六丁目7番1号 株式会
社トーキン内

(74)代理人 100098279

弁理士 栗原 聖

Fターム(参考) 5E043 AA08 BA01

5E044 AC01

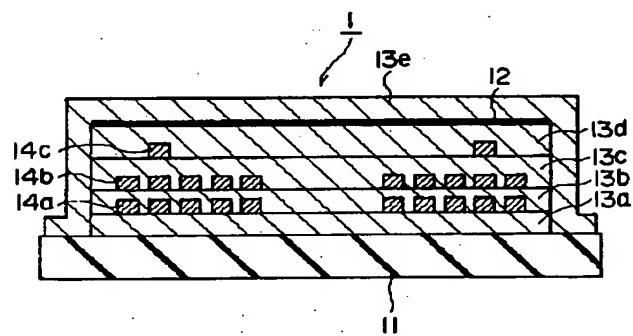
5E070 AB01 AB08 BA11 BB03 CB04
CB13 DA12 EA01

(54)【発明の名称】 電子部品

(57)【要約】

【課題】 例えば、コモンモードチョークコイルとして使用した場合において、別段の回路構成等を設けることなく、信頼性の高い、且つ広帯域な減衰特性を備えることが可能な電子部品を提供すること。

【解決手段】 電子部品1は、セラミックス基板11上に形成された絶縁樹脂層13a上に、導体パターン14a、14b及び14cと絶縁樹脂層13b、13c及び13dを交互に積層し、この上に磁性体層12を形成し、更に絶縁樹脂層13eと導体パターン(図示せず)を積層することによって得られる。強磁性を備えたCo-Zn-Nbから成る磁性体層12により、内部の導体パターン14a、14b、14cを流れる回路電流と外部磁界との干渉が防止され、例えば、コモンモードチョークコイルとして使用した場合、ノイズの反射を生じることがなく、且つ広帯域な減衰特性が得られる。



(2)

【特許請求の範囲】

【請求項 1】 絶縁基板と、該絶縁基板上に導体パターンと絶縁層とを交互に積層して形成した積層体と、前記導体パターンに電気的に接続されると共に、前記絶縁基板と前記積層体とに渡って形成された外部電極端子部とを備えた電子部品において、前記導体パターンの少なくとも一部を遮蔽する磁性体から成る層又は小片を設けたことを特徴とする電子部品。

【請求項 2】 請求項 1 に記載の電子部品において、前記基板の少なくとも一面には第 1 の磁性体層を備え、該第 1 の磁性体層により前記絶縁基板の少なくとも一部を覆うと共に、前記第 1 の磁性体層と前記導体パターンとを挟み込むように第 2 の磁性体層を備え、前記第 1 の磁性体層と前記第 2 の磁性体層とにより略閉磁路構造を形成していることを特徴とする電子部品。

【請求項 3】 請求項 2 に記載の電子部品において、前記第 2 の磁性体層は、更に、前記第 1 の磁性体層に接するように前記積層体の積層方向に延在して形成されることにより、前記第 1 の磁性体層と共に閉磁路構造を形成していることを特徴とする電子部品。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の電子部品において、前記磁性体層は、強磁性を備えた Co-Zn-Nb から成ることを特徴とする電子部品。

【請求項 5】 請求項 4 に記載の電子部品において、前記 Co-Zn-Nb から成る磁性体層は、 $5 \mu\text{m}$ 以上の膜厚を有することを特徴とする電子部品。

【請求項 6】 絶縁基板上に周回させた導体パターンと絶縁層とを交互に積層し、前記導体パターンに電気的に接続される外部電極端子部を設けた電子部品において、前記導体パターンの形成されていない前記電子部品の中心部に空隙を形成し、該空隙に少なくとも一部が磁性体から成る小片をはめ込んだ構造を備えていることを特徴とする電子部品。

【請求項 7】 請求項 1 乃至 6 のいずれかに記載の電子部品において、前記絶縁樹脂層の内少なくとも一層は、実質的にベンゾシクロブテンから成ることを特徴とする電子部品。

【請求項 8】 請求項 1 乃至 7 のいずれかに記載の電子部品において、前記導体パターンは、導電金属膜から成る下地層と前記下地層上に電解めっきによって形成された Cu めっき膜から成ることを特徴とする電子部品。

【請求項 9】 請求項 8 に記載の電子部品において、前記下地層は、スパッタにより形成された Ti 又は Cr 膜から成ることを特徴とする電子部品。

【請求項 10】 請求項 1 乃至 9 のいずれかに記載の電子部品から成り、前記外部電極端子部は、第 1 乃至第 4 の外部電極端子から構成され、該第 1 及び第 3 の外部電極端子の一対と前記第 2 及び第 4 の外部電極端子の一対をそれぞれ入力端子対及び出力端子対としたことを特徴とするコモンモードチョークコイル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品に関し、より詳しくは、インダクタ (L)、キャパシタ (C)、電気抵抗素子 (R)、薄膜EMI フィルタ、コモンモードチョークコイル、カレントセンサ、信号用トランジスタ等及びこれらを一つの部品に構成した複合電子部品等の表面実装部品もしくはリード部品である電子部品に関する。

【0002】

【従来の技術】かかる電子部品として、従来、例えば特開平 3-201417 号公報によれば、図 9 に示されるような電子部品が提案されている。この電子部品 100 は、アルミナ等の絶縁基板 101 上に、ポリイミド樹脂から成る絶縁樹脂層 102 及びスパッタ法によって形成された Ti、Ti-Ag、Ag から成る内部導体パターン 103、104 を交互に積層させ、絶縁樹脂層 102 の端部を取り除くことによって最上部の導体パターン 104 の端部を露出させたコイル [インダクタ (L)] を形成している。

【0003】尚、実際には、更に導体パターン 104 の端部に接続するように端子下地部を電子部品 100 の本体側面に形成し、この端子下地部を覆うように、電子部品 100 の本体の上面端部から側面を介して下面端部に至る導体層を設けて、外部電極端子部を形成してコイル [インダクタ (L)] として用いられる。また、電子部品 100 を製造する場合には、比較的大寸法の絶縁基板上の互いに異なる場所に、複数の電子部品のための絶縁層及び導体層を交互に積層して、一枚の絶縁基板の上に複数の電子部品 100 を形成し、その後、絶縁基板を切断することにより、各電子部品 100 を切り出すことが行われる。

【0004】

【発明が解決しようとする課題】上記した従来の電子部品 100 は、主に、金属膜をスパッタリング等の薄膜技術により着膜した後エッチング等により導体パターンを形成する工程と、絶縁樹脂を塗布して絶縁樹脂層を形成する工程とを繰り返すことにより製造し得るので、小型且つ構成が簡素で製造が容易であるという利点がある。しかしながら、実用上、導体パターンを流れる回路電流と外部磁界との干渉が生じるために、電子部品として充分な特性が得られないという問題があった。

【0005】例えば、上記した従来の電子部品 100 では、導体パターン 103、104 を流れる電流によって生じる磁気回路が開磁路形であるために、絶縁樹脂層と内部導体パターンとを同様に積層する構成を、インダクタ (L) のみならずトランジスタ等他の電子部品に使用する場合にも、高インダクタンスと低抵抗とによって生じる高い Q 特性を得ることが困難であった。また、導体パターン 103、104 を流れる電流によって、漏洩磁界、

(3)

3.

雑音障害、及び外部磁界による誘起雑音等の電磁干渉を被りやすいという問題もあった。更に、上記従来の電子部品100における絶縁樹脂層と内部導体パターンとの同様の積層構成を、例えば、コモンモードチョークコイルに採用した場合、小型化されるに従って、そのインピーダンスの周波数特性を表す曲線（|z|カーブ）に急峻なピークが形成されるために、いわゆるノイズの反射を生じたり、或いは所望する減衰特性を備えた周波数帯域が狭くなるという不具合を生じた。この問題は、別の回路素子を設けて補うことにより解決し得るのは勿論であるが、回路素子を別個に設けるのでは、回路段数が増加し、構成も複雑となり、上述した小型且つ構成が簡素で製造が容易であるという利点を失ってしまう。

【0006】そこで、本発明の技術的課題は、小型且つ簡単な構成で製造が容易でありながら高インダクタンスと低抵抗とによって高いQ特性が得られるという利点を有しながら、例えば、コモンモードチョークコイルとして使用した場合において、別段の回路構成等を設けることなく、信頼性の高い、且つ広帯域な減衰特性を備えることが可能な電子部品を提供することにある。

【0007】

【課題を解決するための手段】上記課題を達成するため、本発明では、電子部品における導体パターンの少なくとも一部をその外側又は内側に設けた磁性体から成る層又は小片により遮蔽することで、導体パターンを流れる回路電流と外部磁界との干渉を防止するようにしている。即ち、請求項1記載の電子部品は、絶縁基板と、該絶縁基板上に導体パターンと絶縁層とを交互に積層して形成した積層体と、前記導体パターンに電気的に接続されると共に、前記絶縁基板と前記積層体とに渡って形成された外部電極端子部とを備えた電子部品において、前記導体パターンの少なくとも一部を遮蔽する磁性体から成る層又は小片を設けたことを特徴としている。

【0008】ここで、請求項1乃至5記載の発明では、電子部品における導体パターンの外側（周囲）に少なくとも1の磁性体層を設けて回路電流と外部磁界との干渉を防止する。即ち、請求項2記載の電子部品では、前記基板の少なくとも一面には第1の磁性体層を備え、該第1の磁性体層により前記絶縁基板の少なくとも一部を覆うと共に、前記第1の磁性体層と前記導体パターンとを挟み込むように第2の磁性体層を備え、前記第1の磁性体層と前記第2の磁性体層とにより略閉磁路構造を形成している。更に、請求項3記載の電子部品においては、前記第2の磁性体層は、更に、前記第1の磁性体層の一面に接するように形成されることにより、前記第1の磁性体層と共に閉磁路構造を形成している。尚、請求項4記載の電子部品のように、前記磁性体層は、強磁性を備えたCo-Zn-Nbから成ることが望ましい。また、請求項5記載の電子部品のように、前記Co-Zn-Nbから成る磁性体層は、5μm以上の膜厚を有すること

(4)

が好適である。

【0009】一方、請求項6記載の発明では、電子部品における導体パターンの形成されていない中心部（内側）に空隙を形成し、該空隙に少なくとも一部が磁性体から成る小片をはめ込んで、回路電流と外部磁界との干渉を防止する。即ち、請求項6記載の電子部品では、絶縁基板上に周回させた導体パターンと絶縁層とを交互に積層し、前記導体パターンに電気的に接続される外部電極端子部を設けた電子部品において、前記導体パターンの形成されていない前記電子部品の中心部に空隙を形成し、該空隙に少なくとも一部が磁性体から成る小片をはめ込んだ構造を備えていることを特徴としている。

【0010】以上の請求項1乃至6記載の電子部品では、更に、以下の構成を有するのが好適である。即ち、請求項7記載の電子部品のように、前記絶縁樹脂層としては、その少なくとも一層は、実質的にベンゾシクロブテンから成ることが好ましい。また、請求項8記載の電子部品のように、前記導体パターンは、導電金属膜から成る下地層と前記下地層上に電解めっきによって形成されたCuめっき膜から成るのが望ましい。更に、請求項9記載の電子部品のように、前記下地層は、スパッタにより形成されたTi又はCr膜から成るのが適当である。

【0011】そして、請求項10記載の発明では、本発明の電子部品がコモンモードチョークコイルとして実現される。即ち、請求項10に記載するように、本発明の電子部品は、前記外部電極端子部を、第1乃至第4の外部電極端子から構成し、該第1及び第3の外部電極端子の一対と前記第2及び第4の外部電極端子の一対をそれぞれ入力端子対及び出力端子対とすることにより、コモンモードチョークコイルとして用いることができる。

【0012】

【発明の実施の形態】以下、本発明の種々の実施の形態について、図面を参照して詳細に説明する。まず、図1～6を参照して、本発明の第1の実施形態について述べる。図1は、本発明の第1の実施形態に係る電子部品を示す斜視図である。また、図2は、図1の電子部品における外部電極端子部を除いた電子部品本体の完成図である。本実施の形態による電子部品1は、図1に示すように、電子部品本体10と、この電子部品本体10の両端面及び側面の一部を覆うように形成された外部電極端子部を備えている。図1を参照すると、外部電極端子部は、4つの外部電極端子2a、2b、2c、2dから構成され、外部電極端子2a、2cの一対と外部電極端子2b、2dの一対とをそれぞれ入出力端子対とするコモンモードチョークコイルを示している。

【0013】図3は、図2に示した電子部品本体10の絶縁樹脂層と導体パターンの積層体の各層を分離して模式的に示した斜視図であり、また、図4は、本実施の形態による電子部品1の断面図である。電子部品本体10

(4)

5

は、図3に示すように、セラミックス基板11とこのセラミックス基板11上に形成された積層体16とを備えている。尚、電子部品本体10は、上述した従来の電子部品100と同様に、大寸法のセラミックス基板11上に複数同時に形成され、例えば、ダイシングソーを用いて個々に切出された後に、端子構造を付加される。

【0014】図3及び図4をも参照すると、電子部品本体10は、セラミックス基板11上に形成された絶縁樹脂層13a上に交互に積層した、導体パターン14a、14b、及び14cと絶縁樹脂層13b、13c、及び13dとを有し、また、絶縁樹脂層13d上に形成した磁性体層12と、この磁性体層12上にそれぞれ積層された絶縁樹脂層13eと導体パターン14dを有する積層体16を形成することによって得られている。尚、図4においては、導体パターン14dは図示を省略している。尚、絶縁樹脂層13b～13eには、図3に示すように、各貫通孔15が設けられている。ここで、本実施形態において、セラミックス基板11は、快削性を有するセラミックスであるマセライト（三井鉱山マテリアル社製の商品名：ピッカース硬度は約220kg/mm²）を用いている。セラミックス基板11の材料は特に限定されず、上述した従来例同様、アルミナ等を用いることも勿論可能である。しかしながら、上述した従来例では、絶縁（セラミックス）基板としてアルミナ（ピッカース硬度は約2000kg/mm²）等の高硬度の材料を用いているので、上述した大寸法のセラミックス基板11からの切出し工程においてコストが高く、絶縁基板のチッピングも発生して歩留まりが悪くなるという問題があったのに対し、本実施形態では、絶縁（セラミックス）基板として、快削性の良いマセライトを用いているので、この切出しを容易に行うことができ、コストを低減できる。

【0015】また、絶縁樹脂層13a、13b、13c、13d、13eには、平坦化が容易であり、紫外線感光性のベンゾシクロブテン（BCB）樹脂を用いている。上述した従来例では、絶縁樹脂層102の材料としてポリイミド樹脂を用いているので、導体パターン層間の絶縁樹脂表面に、下地の導体パターンの凹凸が反映してしまい、次に積層される導体パターンが波打ち、所望する電気的特性を得られないという問題があったのに対し、本実施形態においては、絶縁樹脂層13a等の材料として、BCB樹脂を用いているので、絶縁樹脂層の平坦性が充分に確保される結果、表面の凹凸が無く平坦な積層体を得ることが可能であり、良好な電気的特性を得られる。更に、導体パターン14a、14b、14c、14dは、下地層としてTi膜又はCr膜をスパッタリングにより形成し、その上に、電解めっきによってCuめっき膜を形成して成る。

【0016】以下、積層体16の具体的な形成方法について説明する。まず、セラミックス基板11を有機洗浄

6

し、更にプラズマアッティングによるドライ洗浄後、スピニコーティングによって、上述した紫外線感光型のBCB樹脂を塗布して、絶縁樹脂層を得た。フォトリソグラフィを用い、マスクを介して露光することにより、絶縁樹脂層13aと、絶縁樹脂層13b以降の絶縁樹脂層に形成される貫通孔15を形成した。続いて、加熱してハーフキュアすることで、絶縁樹脂層13aを得た。

【0017】次に、絶縁樹脂層13a上に導体パターン14aの下地層としてTi膜、或いはTi膜上に更にCu膜をスパッタリングによって形成する。ここで、Ti膜の代わりにCr膜を用いても良い。更に、この上にレジストを塗布した後、フォトリソグラフィを用い、マスクを介して露光・現像して、所望する導体パターンを凹部とするレジストパターンを得る。続いて、電解Cuメッキによって、下地層上に電解Cuメッキ層を得る。この後、レジストのパターンを剥離して、中間導体パターンを得、この中間導体パターンにウェットエッチングを施し、基板上に形成された孤立した導体パターン14aを得る。尚、ウェットエッチングではなく、ドライエッティングを用いても良い。ここに、得られた導体パターン14aは、下地層と、電解Cuメッキ層から成り、その厚さは約4～15μm、その幅は約10～30μmであった。

【0018】以下、この導体パターン14a上に、絶縁樹脂層13b～13d、導体パターン14b、14cを形成し、その上に強磁性を備えたCo-Zn-Nbから成る磁性体層12を、スパッタリングにより5μm以上の膜厚に形成する。更に、その上に絶縁樹脂層13e、導体パターン14dをそれぞれ上記と同様な方法によつて形成し、電子部品本体10を得た。

【0019】更に、このようにして得られた電子部品本体10に外部電極端子部を形成する工程について述べる。まず、図2及び図3から明らかなように、電子部品本体10の上面端部には、引出電極部20が露出した形となっている。この引出電極部20に接続するように、Ni粉を含むエポキシ樹脂等から成るNi導電ペーストを引出電極部20の端部からセラミック基板11と積層体16の側面を通じてセラミック基板11の下面に至るように塗布して熱硬化させた。次に、この導電ペースト硬化物上に、めっき前処理後、電解バーレルめっき法にてNiめっき膜を下地層として形成した。ここで、Niは、耐電解マイグレーションに優れており、半田等が引出電極部20から内部へ拡散することを防止する。次に、この下地層上に、半田浴からそれぞれ電解バーレルめっきによって、外部接続膜として半田めっき膜を形成して、図1に示す外部電極端子2a、2b、2c、2dが形成され、外部電極端子部を備えた電子部品1が完成する。

【0020】図5は、本実施形態の電子部品1（コモンモードチョークコイル）と上述した従来例をコモンモー

(5)

7

ドチョークコイルに適用した電子部品について、そのインピーダンスの周波数特性 ($|Z|$ カーブ) をグラフにして比較したものである。図5に示すように、本実施形態の電子部品及び従来例の双方とも、 1GHz 付近の高周波においてピークがあるのは同様であるが、従来例では、その $|Z|$ カーブにおいて 1GHz 付近で極めて急峻なピークがあるのに対し、本実施形態では、急峻なピークではなく、そのピークはよりブロード化されている。電子機器におけるノイズフィルタとして用いられる電子部品では、特に、その $|Z|$ カーブに急峻なピークがある場合に、当該ピークを示す周波数において、前述したノイズの反射を生じ、ノイズを帰還させてしまうという問題がある。従来例では、 1GHz 付近の高周波において極めて急峻なピークがあるために、このノイズの反射を生じ易いのに対し、本実施形態のコモンモードチョークコイルでは、急峻なピークではなく、そのピークが従来例よりもなだらかである結果、ノイズの反射を防止できるので、ノイズ除去の効果が充分に発揮される。

【0021】図6は、本実施形態の電子部品1(コモンモードチョークコイル)と従来例をコモンモードチョークコイルに適用した電子部品について、その減衰量の周波数特性をグラフにして比較したものである。図6に示すように、本実施形態の電子部品及び従来例の双方とも、 1GHz 付近の高周波においてノイズ除去効果があるのは同様である。図6に示すように、本実施形態の電子部品では、減衰量の最大値(ピーク値)は -17[dB] 程であり、従来例が -40[dB] 近い減衰量の最大値(ピーク値)を有するのに比べて大きくはない。

【0022】しかしながら、例えば、比較的ノイズの強い場合の対策で、信号の周波数が高く、できるだけコンデンサを使用したくない場合等にコモンモードチョークコイルを使用する場合でも、 $- (5 \sim 15)\text{[dB]}$ の減衰量が得られれば充分であり、むしろ、このようなレベルの減衰量がよりより広い周波数帯域で得られるのが望ましい場合が多い。従来例では、図6に示すように、この $- (5 \sim 15)\text{[dB]}$ の減衰量が得られるのは、略 300MHz から 1.8GHz の範囲であるのに対し、本実施形態の電子部品では、同図に示すように、略 250MHz から 2GHz の範囲で、この $- (5 \sim 15)\text{[dB]}$ の減衰量が得られる。このように、本実施形態の電子部品では、従来例に比べ減衰域が広帯域化されていることがわかる。その結果、広い帯域でのノイズ除去効果が得られる。

【0023】次に、本発明の第2の実施の形態について図面を参照して説明する。この第2の実施形態の電子部品が上述した第1の実施形態の電子部品と相違する点は、第1の実施形態では、導体パターンを1つの磁性体層12により覆った構造を備えていたのに対し、この第2の実施形態では、2つの磁性体層を備え、この2つの磁性体層により導体パターンを挟み込むように覆って閉

8

磁路構造を形成している点である。尚、この第2の実施形態の電子部品及びその本体の外観構成は、図1及び図2に示した第1の実施形態のものと全く同様である。

【0024】図7及び図8を参照すると、この第2の実施形態の電子部品本体10は、セラミックス基板11上に、まず、強磁性を備えた金属又は合金から成る第1の磁性体層12aを有し、この第1の磁性体層12a上に絶縁樹脂層13aを備え、更に、絶縁樹脂層13a上に導体パターン14a、14b及び14cと絶縁樹脂層13b、13c及び13dとを交互に積層した上に、第2の磁性体層12bを有し、この上に、更に絶縁樹脂層13eと導体パターン14dをそれぞれ積層することで、積層体16'を形成することによって得られている。

尚、図8においては、導体パターン14dは図示を省略している。尚、積層体16'の絶縁樹脂層13b～13eには、図7に示すように、各貫通孔15が設けられているのは、図3に示した積層体16と同様である。また、セラミックス基板11にマセライトを用いている点、絶縁樹脂層13a、13b、13c、13d、13eに紫外線感光性のBCB樹脂を用いている点、更に、導体パターン14a、14b、14c、14dは、下地層としてTi膜又はCr膜をスパッタリングにより形成し、その上に、電解めっきによってCuめっき膜を形成して成る点も、第1の実施形態と同様である。

【0025】以下、積層体16'の具体的な形成方法について説明する。まず、セラミックス基板11を有機洗浄し、更にプラズマアッティングによるドライ洗浄後、セラミックス基板11上に強磁性を備えたCo-Zn-Nbから成る第1の磁性体層12aを、スパッタリングにより $5\mu\text{m}$ 以上の膜厚に形成する。次に、第1の磁性体層12aの縁辺部を除いて覆うように、スピニコーティングによって、上述した紫外線感光型のBCB樹脂を塗布して、絶縁樹脂層を得た。フォトリソグラフィを用い、マスクを介して露光することにより、絶縁樹脂層13aと、絶縁樹脂層13b以降の絶縁樹脂層に形成される貫通孔15を形成した。続いて、加熱してハーフキュアすることで、絶縁樹脂層13aを得た。

【0026】次に、絶縁樹脂層13a上に導体パターン14aの下地層としてTi膜、或いはTi膜上に更にCu膜をスパッタリングによって形成する。ここで、Ti膜の代わりにCr膜を用いても良い。更に、この上にレジストを塗布した後、フォトリソグラフィを用い、マスクを介して露光・現像して、所望する導体パターンを凹部とするレジストパターンを得る。続いて、電解Cuメッキによって、下地層上に電解Cuメッキ層を得る。この後、レジストのパターンを剥離して、中間導体パターンを得、この中間導体パターンにウェットエッチングを施し、基板上に形成された孤立した導体パターン14aを得る。尚、ウェットエッチングではなく、ドライエッティングを用いても良い。ここに、得られた導体パターン

(6)

9

14 aは、下地層と、電解Cuメッキ層から成り、その厚さは約4～15μm、その幅は約10～30μmであった。

【0027】以下、この導体パターン14 a上に、絶縁樹脂層13 b～13 d、導体パターン14 b、14 cを形成し、その上に強磁性を備えたCo-Zn-Nbから成る第2の磁性体層12 bを、スパッタリングにより5μm以上の膜厚に形成する。尚、このスパッタリングは、第2の磁性体層12 bが、第1の磁性体層12 aに接するまで、積層体16'の積層方向、即ち、絶縁樹脂層13 a～13 dの側面に延在するように行った。更に、その上に絶縁樹脂層13 e、導体パターン14 dをそれぞれ。上述したのと同様な方法によって形成し、第2の実施形態の電子部品本体10を得た。尚、このようにして得られた第2の実施形態の電子部品本体10に外部電極端子部を形成する工程は、上述した第1の実施形態の場合と全く同様であるので、その説明は省略する。

【0028】尚、本実施形態では、図8から明らかなように、第2の磁性体層12 bは、第1の磁性体層12 aに接するように積層体16'の積層方向に延在して形成されることにより、第1の磁性体層12 aと共に内部の導体パターン14 a、14 b、14 cを封止する閉磁路構造を形成している。従って、導体パターン14 a、14 b、14 cを流れる回路電流と外部磁界との干渉を、第1の実施形態に比べ、より有効に防止できる。

【0029】本実施形態の電子部品1(コモンモードチャージューコイル)を、上述した第1の実施形態の場合と同様に、従来例のコモンモードチャージューコイルと共に、そのインピーダンスの周波数特性(|z|カープ)を測定してみたところ、第1の実施形態と同様に、そのピークは従来に比べプロード化されていることが分かった。また、減衰量の周波数特性も従来例のコモンモードチャージューコイルと比較してみたところ、従来例に比べ減衰域が広帯域化されていることがわかった。尚、上記第2の実施形態では、第2の磁性体層12 bを、第1の磁性体層12 aに接するように積層体16'の積層方向に延在して形成したが、第2の磁性体層12 bは、積層方向に延在させずに、絶縁樹脂層13 dの上面にのみ形成しても良い。

【0030】次に、本発明の第3の実施の形態について図面を参照して説明する。上述した第1及び第2の実施形態では、電子部品における導体パターンの外側に磁性体の層を設けて導体パターンの周囲を覆うことにより回路電流と外部磁界との干渉を防止するのに対し、この第3の実施形態の電子部品では、電子部品の導体パターンの内側、即ち、導体パターンの形成されていない中心部に空隙を形成しておき、この空隙に磁性体の小片をはめ込んで、回路電流と外部磁界との干渉を防止するものである。

【0031】図9は、本発明の第3の実施形態に係る電

10

子部品を示す斜視図である。また、図10は、図9の電子部品における外部電極端子部を除いた電子部品本体の完成図である。本実施の形態による電子部品1'は、図9及び図10に示すように、電子部品本体10'と、この電子部品本体10'の両端面及び側面の一部を覆うよう形成された外部電極端子部を備えている。電子部品本体10'は、セラミックス基板11'と、このセラミックス基板11'上に形成された積層体16'’と、磁性体小片3を備えている。尚、電子部品本体10'も、上述した第1の実施形態等と同様に、大寸法のセラミックス基板11'上に複数同時に形成され、例えば、ダイシングソーを用いて個々に切出された後に、端子構造を付加される。また、本実施の形態においても、図9に示すように、外部電極端子部は、4つの外部電極端子2a、2b、2c、2dから構成され、外部電極端子2a、2cの一対と外部電極端子2b、2dの一対とをそれぞれ入出力端子対とするコモンモードチャージューコイルを構成している。

【0032】図11は、図10に示した電子部品本体10'の絶縁樹脂層と導体パターンの積層体の各層を分離して模式的に示した斜視図であり、また、図12は、本実施の形態による電子部品1'の断面図である。図11及び図12を参照すると、この第3の実施形態の電子部品本体10'は、セラミックス基板11'上に、まず、絶縁樹脂層13'aを備え、この絶縁樹脂層13'a上に導体パターン14 a、14 b及び14 cと絶縁樹脂層13'b、13'c及び13'dとを交互に積層した上に、更に導体パターン14 dを積層することで、積層体16'’を形成することによって得られている。尚、図12においては、導体パターン14 dは図示を省略している。セラミックス基板11'及び絶縁樹脂層13'a、13'b、13'c、13'dには、それぞれ貫通孔32が設けられており、これら貫通孔32により、電子部品本体10'の導体パターン14 a、14 b及び14 cの内側、即ち、これら導体パターン14 a、14 b及び14 cの形成されていない中心部に、図12に示すように、空隙30が形成される。そして、この空隙30には、磁性体小片3がはめ込まれている。本実施の形態において、この磁性体小片3には、絶縁性の高い(その絶縁抵抗が 1×10^5 以上)フェライトを用いている。絶縁性の高いフェライトを用いるのは、導電性を有するものでは、磁性体小片3をはめ込んだ電子部品本体10'に外部電極端子部を形成する工程で実施される電解パレルめっき等において、磁性体小片3にまでめっきがのってしまうことがあり、これを避けるためである。

【0033】尚、積層体16'’の絶縁樹脂層13'b～13'dには、図11に示すように、各貫通孔15が設けられているのは、図3に示した積層体16や図7に示した積層体16'’と同様である。また、セラミックス基板11'にマセライトを用いている点、絶縁樹脂層1

50

(7)

11

3'a、13'b、13'c、13'dに紫外線感光性のBCB樹脂を用いている点、更に、導体パターン14a、14b、14c、14dは、下地層としてTi膜又はCr膜をスパッタリングにより形成し、その上に、電解めっきによってCuめっき膜を形成して成る点も、第1の実施形態と同様である。

【0034】以下、積層体16'の具体的な形成方法について説明する。まず、セラミックス基板11'を有機洗浄し、更にプラズマアッティングによるドライ洗浄後、セラミックス基板11'上にスピンドルコーティングによって紫外線感光型のBCB樹脂を塗布して、絶縁樹脂層を得た。フォトリソグラフィを用い、マスクを介して露光することにより、絶縁樹脂層13'aと貫通孔32を形成し、続いて、加熱してハーフキュアすることで、絶縁樹脂層13'aを得た。尚、同様に形成される絶縁樹脂層13'b、13'c、13'dには、それぞれ、上述した空隙30を構成するための貫通孔32に加え、貫通孔15を形成した。

【0035】次に、絶縁樹脂層13'a上に導体パターン14aの下地層としてTi膜、或いはTi膜上に更にCu膜をスパッタリングによって形成する。ここで、Ti膜の代わりにCr膜を用いても良い。更に、この上にレジストを塗布した後、フォトリソグラフィを用い、マスクを介して露光・現像して、所望する導体パターンを凹部とするレジストパターンを得る。続いて、電解Cuメッキによって、下地層上に電解Cuメッキ層を得る。この後、レジストのパターンを剥離して、中間導体パターンを得、この中間導体パターンにウェットエッチングを施し、基板上に形成された孤立した導体パターン14aを得る。尚、ウェットエッチングではなく、ドライエッチングを用いても良い。ここに、得られた導体パターン14aは、下地層と、電解Cuメッキ層から成り、その厚さは約4~15μm、その幅は約1.0~3.0μmであった。

【0036】以下、この導体パターン14a上に、絶縁樹脂層13'b~13'd、導体パターン14b~14dを上記と同様に形成し、各貫通孔32により構成される空隙30に磁性体小片3をはめ込んで電子部品本体10'を得た。尚、このようにして得られた第3の実施形態の電子部品本体10'に外部電極端子部を形成する工程は、上述した第1及び第2の実施形態の場合と全く同様であるので、その説明は省略する。

【0037】以上に説明したように、本実施の形態では、予めセラミックス基板11'及び絶縁樹脂層13'a~13'dにそれぞれ貫通孔32を設け、これら貫通孔32により電子部品本体10'の導体パターン14a~14dの内側、即ち、導体パターン14a~14dの形成されていない中心部に空隙30を形成しておき、この空隙30に磁性体小片3をはめ込んだ電子部品を構成している。即ち、上述した第1及び第2の実施形態で

10

20

30

40

50

12

は、導体パターンを磁性体層により外側から覆うようにすることで、この磁性体層によりノイズを吸収する等、回路電流と外部磁界との干渉を低減する作用を得るのに對し、この第3の実施形態では、磁束が最も多く回り込む中心部に存在せしめた磁性体小片によりノイズを吸収する等、同様の干渉低減作用を得る。また、上述した第1及び第2の実施形態のように、スパッタリング等により磁性膜を形成するのに比べて磁性体の体積が大きいことから、かかる体積が比較的大きい磁性体が磁束が最も多く回り込む中心部に存在するので、磁性体によるノイズの吸収効果等もより大きくなる。

【0038】この第3の実施形態の電子部品（コモンモードチョークコイル）を、上述した第1及び第2の実施形態の場合と同様に、従来例のコモンモードチョークコイルと共に、そのインピーダンスの周波数特性（|z|カーブ）を測定してみたところ、第1及び第2の実施形態と同様に、そのピークは従来に比べプロード化されていることが分かった。また、減衰量の周波数特性も従来例のコモンモードチョークコイルと比較してみたところ、従来例に比べ減衰域が広帯域化されていることがわかつた。

【0039】以上の第3の実施形態では、中心部の空隙に磁性体そのものの小片をはめ込むようにしたが、小片のすべてが磁性体により構成されていなくても良い。即ち、本発明の第4の実施形態に係る電子部品は、図示は省略するが、上述した第3の実施形態における磁性体小片の代わりに絶縁体の小ブロックに磁性膜を貼り付けたものを用い、第3の実施形態と全く同様に電子部品の中心部に形成した空隙に、その磁性膜を貼り付けた絶縁体小ブロックをはめ込むことにより構成される。小ブロックを構成する絶縁体としてはガラスを用いることができる。この第4の実施形態においては、第3の実施形態に比べて磁性体の体積は小さくなるが、磁束が最も多く回り込む中心部に存在するので、小ブロックに形成した磁性膜によりノイズを効果的に吸収することが可能である。また、絶縁体の小ブロックを用いるのは、導電性のものでは、小ブロックをはめ込んだ電子部品本体10'に外部電極端子部を形成する工程で実施される電解バーレルめっき等において、小ブロックにまでめっきがのつてしまふからであり、これを避けるためである。

【0040】以上、本発明を特定の実施形態について述べたが、本発明はこれらに限られるものではなく、特許請求の範囲に記載された発明の範囲内で、他の実施形態についても適用される。例えば、上述した実施形態では、電子部品の一例として、4端子を備えたコモンモードチョークコイルについて説明したが、本発明は、特許請求の範囲の各請求項に記載された構成を有するものであれば、同様に4端子を備えた電子部品としてのトランジスタ、カレントセンサや、3端子構造のローパスフィルタ等、更に、2端子構造のインダクタ（L）、キャパシタ

(8)

13

(C)、電気抵抗素子 (R) 等の他の電子部品にも広く適用できるのは明らかである。即ち、絶縁樹脂層及び導体パターンの形状を変えるだけで、特許請求の範囲の各請求項に記載されたと同様の構成を有する他の電子部品が得られる。更に、上述した実施形態では、電子部品としてチップ型のものを示したが、外部電極端子部にリード線を半田付け等により設ければ、リード部品を構成できるのは言うまでもない。

【0041】

【発明の効果】以上説明したように、本発明によれば、例えば、コモンモードチョークコイルとして使用した場合、小型且つ簡単な構成で製造が容易でありながら高インダクタンスと低抵抗とによって高いQ特性が得られ、更に、別段の回路構成等を設けなくとも、ノイズの反射を生じることがないため信頼性の高い、且つ広帯域な減衰特性を備えた電子部品を得ることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る電子部品を示す斜視図である。

【図2】本発明の第1の実施の形態における電子部品本体の完成した状態を示す斜視図である。

【図3】本発明の第1の実施の形態に係る電子部品の本体の分解斜視図であり、その導体パターンと絶縁樹脂層の各層を分離して示す図である。

【図4】本発明の第1の実施の形態に係る電子部品を示す断面図である。

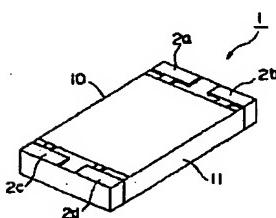
【図5】本発明の第1の実施の形態に係る電子部品と従来例の電子部品のインピーダンス特性を比較して示す図である。

【図6】本発明の第1の実施の形態に係る電子部品と従来例の電子部品の減衰特性を比較して示す図である。

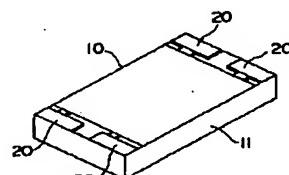
【図7】本発明の第2の実施の形態に係る電子部品の本体の分解斜視図であり、その導体パターンと絶縁樹脂層の各層を分離して示す図である。

【図8】本発明の第2の実施の形態に係る電子部品を示す断面図である。

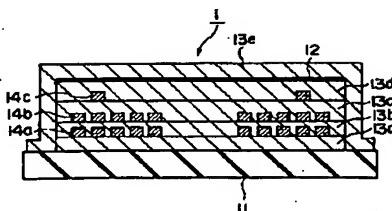
【図1】



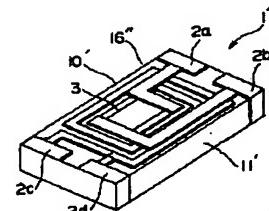
【図2】



【図4】



【図9】



(8)

14

【図9】本発明の第3の実施の形態に係る電子部品を示す斜視図である。

【図10】本発明の第3の実施の形態における電子部品本体の完成した状態を示す斜視図である。

【図11】本発明の第3の実施の形態に係る電子部品の本体の分解斜視図であり、その導体パターンと絶縁樹脂層の各層を分離して示す図である。

【図12】本発明の第3の実施の形態に係る電子部品を示す断面図である。

【図13】従来の電子部品の一例を示す断面図である。

【符号の説明】

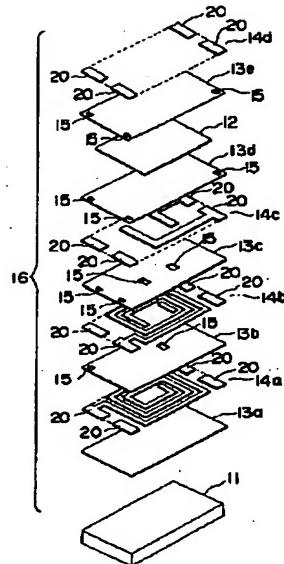
1、 1	電子部品
2 a、 2 b、 2 c、 2 d	外部電極端子
10、 10	電子部品本体
11、 11	セラミック
12	磁性体層
12 a	第1の磁性体層
12 b	第2の磁性体層
13 a、 13 b、 13 c、 13 d、 13 e	絶縁樹脂層
13' a、 13' b、 13' c、 13' d	絶縁樹脂層
14 a、 14 b、 14 c、 14 d	導体パターン
15	貫通孔
16、 16'、 16''	積層体
30	空隙
32	貫通孔
100	電子部品
101	絶縁基板
102	絶縁樹脂層
103、 104	導体パターン

II

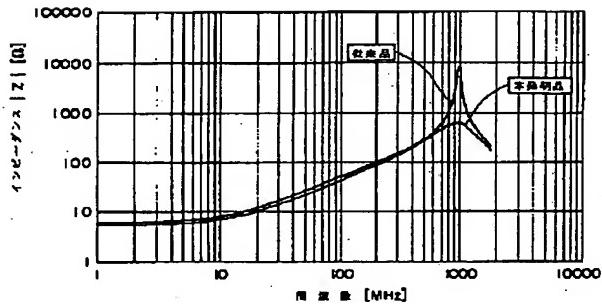
BEST AVAILABLE COPY

(9)

【图3】

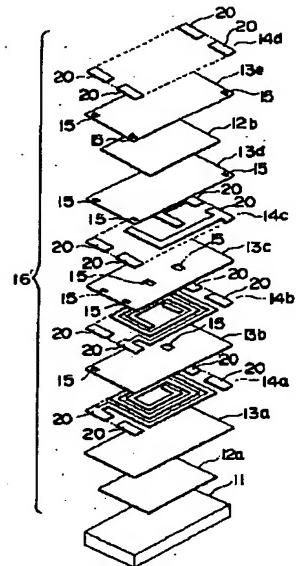


【图6】

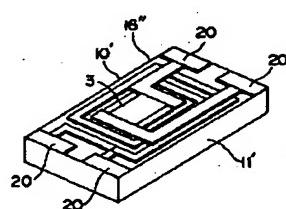


[図 5]

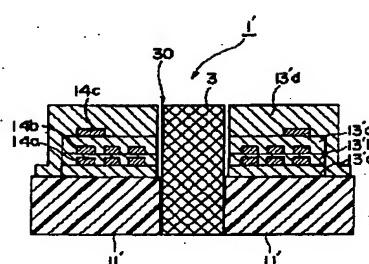
[図 7]



〔図 10〕

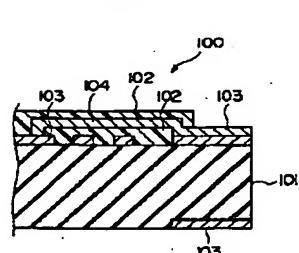
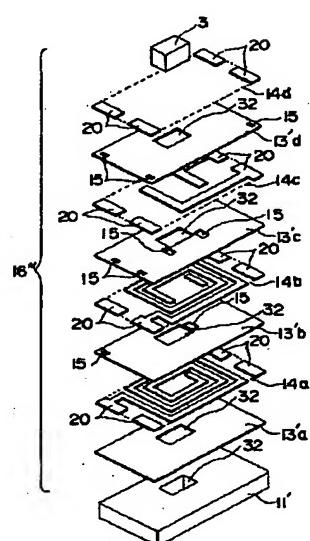
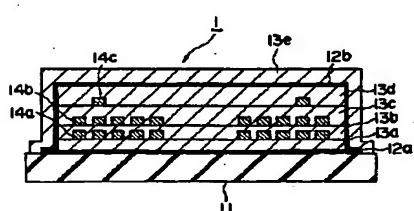


(图 8)



[1 1]

[図13]



(10)

フロントページの続き

(51) Int. Cl. 7

H 0 1 F 37/00

識別記号

F I

H 0 1 F 37/00

テマコト (参考)

A

N